

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208643

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 21/8244

H01L 27/11

H01L 27/10

(21)Application number : 11-002918

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 08.01.1999

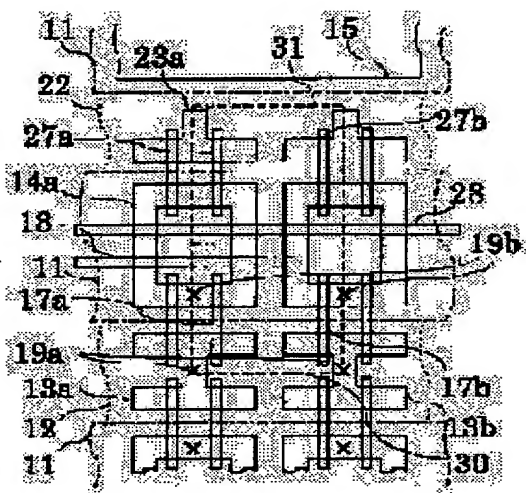
(72)Inventor : UEMATSU SATORU
KODAIRA SATORU

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the effect on the shape of a well region in a memory cell by providing a dummy cell at the peripheral part of a memory cell array, while a dummy well region is provided in the dummy cell.

SOLUTION: A dummy cell 31 comprises a first dummy transistor region, comprising a first N-type field region 14a configured on a P-type well region 11, a second dummy transistor region comprising a second P-type field region 23a configured on a N-type well region 22, dummy gate wirings 27a and 27b, and dummy word line 28. The dummy word line 28 is connected to a ground voltage GND, so that a memory cell 30 is electrically isolated from the N-type field region 14a of a dummy cell 31. Thus, an N-type well region 22 whose shape is collapsed is provided in the dummy cell 31, reducing the effect on the shape of an N-type well region of the adjoining memory cell 30.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

- 5 Japan Patent Office is not responsible for any damages caused by the use of this translation.
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
- 10 3. In the drawings, any words are not translated.

CLAIMS

15

[Claim(s)]

- [Claim 1] Two or more memory cells arranged at each intersection of the bit line of m train, and the word line of n lines, In the semiconductor memory by which a dummy cell is arranged at at least one side the memory cell array which consists of two or more
- 20 aforementioned memory cells, and around the aforementioned memory cell array field the aforementioned memory cell array is prepared on a semiconductor substrate -- having -- the well of the first conductivity type -- with the first field field arranged on a field It consists of gate wiring arranged on the second field field arranged on a field, and the aforementioned field field. the well of the second conductivity type -- the field field
- 25 of the above first is connected with the first power supply potential, and the field field of the above second is connected with the second power supply potential -- having -- the aforementioned dummy cell -- the well of the first conductivity type -- with the

first field field arranged on a field the well of the second conductivity type -- the semiconductor memory characterized by the bird clapper from the gate wiring arranged on a field and the aforementioned field field

5 [Claim 2] the well of the second conductivity type which constitutes the aforementioned dummy cell in a semiconductor memory according to claim 1 -- the semiconductor memory characterized by arranging the third field field on a field

10 [Claim 3] Two or more memory cells arranged at each intersection of the bit line of m train, and the word line of n lines, In the semiconductor memory by which a dummy cell is arranged at at least one side the memory cell array which consists of two or more aforementioned memory cells, and around the aforementioned memory cell array field the aforementioned memory cell array is prepared on a semiconductor substrate -- having -- the well of the first conductivity type -- with the first field field of the second conductivity type arranged on a field the well of the second conductivity type -- with the second field field of the first conductivity type arranged on a field from the gate wiring arranged on the aforementioned field field -- becoming -- the aforementioned dummy cell -- the well of the first conductivity type -- with the first field field of the second conductivity type arranged on a field the well of the second conductivity type -- the semiconductor memory characterized by the bird clapper from the gate wiring arranged on the third field field of the second conductivity type arranged on a field, and the aforementioned field field

15

20

[Claim 4] The first power supply potential is supplied to the first field field of the second conductivity type arranged on a field. the well of the first conductivity type which constitutes the aforementioned memory cell in a semiconductor memory according to claim 3 -- The second power supply potential is supplied to the second field field of the first conductivity type arranged on a field. the well of the second conductivity type of the above -- the well of the second conductivity type which constitutes the aforementioned dummy cell -- the semiconductor memory

25

characterized by supplying the second power supply potential to the third field of the second conductivity type arranged on a field

[Claim 5] the well of the second conductivity type of the above which constitutes the aforementioned dummy cell in a semiconductor memory according to claim 4 — the
5 semiconductor memory characterized by arranging the first contact which supplies the second power supply potential to the third field of the second conductivity type arranged on a field at an adjoining first field side

10

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

15 [The technical field to which invention belongs] this invention relates to the semiconductor memory which has the dummy cell arranged at the periphery section of the memory cell array which consists of static random access memory which consists of a P channel transistor and an N channel transistor.

[0002]

20 [Description of the Prior Art] static random access memory (following, SRAM) — the memory cell composition — from an N channel transistor (henceforth, NchTr) and a high resistance element — becoming — consequently, a well — in order that there might be no need of dividing a field within a memory cell, it came considering high integration as possible Moreover, the exposure state at the time of the memory cell
25 array which consists of two or more aforementioned memory cells carrying out patterning of the gate wiring in the periphery section is bad, and arranging a dummy cell in this periphery section, since control of gate length is difficult is performed. Drawing 5

is a layout pattern of a general memory cell and a dummy cell indicated by JP,4-147672,A. the well of the P type a memory cell 30 and whose dummy cell 31 are the first conductivity type -- it is arranged on a field 11 The aforementioned memory cell 30 consists of word lines 18 using the same wiring material as the field fields 14a, 14b, and 14c of the N type which is the second conductivity type, and the gate wiring 17a and 17b and the aforementioned gate wiring. In addition, a high resistance element and aluminum wiring were omitted. Moreover, contact which connects the grounding voltage GND which is the first power supply potential, and the aforementioned field field was set to 19, and other contacts were omitted. The dummy gate wiring 27 and the dummy word line 28 are arranged at an axial symmetry to the gate wiring and the word line which are formed in a dummy cell field in the aforementioned memory cell field. Consequently, since dummy gate wiring and the dummy word line are arranged in a dummy field even if deformation of gate wiring arises by the fault of the exposure state at the time of carrying out patterning of the gate wiring, deformation of gate wiring of the memory cell which adjoins a periphery can be minimized.

[0003] however, to operate SRAM in recent years under low power supply potential more is desired -- it is impossible to correspond to the needs of a commercial scene in the memory cell which consists of NchTr and a high resistance element Consequently, the memory cell which operates stably also in a low battery by using the SRAM memory cell of six transistors which consist of the above NchTr and a P channel transistor (henceforth, PchTr) as an element which constitutes a memory cell came to be used.

[0004]

[Problem(s) to be Solved by the Invention] Since an element number increases, chip area will increase the SRAM memory cell using six transistors. since PchTr and NchTr are constituted not only the increase in area for an element number only increasing this but in a memory cell field -- P type -- a well -- a field and N type -- a well -- it also becomes the big factor of the increase in area to provide a space between fields Dew

with process-improvement and precision high as a method with which area is generally reduced. However, when the property stability of the yield or a product is taken into consideration, using a MAJINARU design rule is performed in fields other than a memory cell field. An of-condensation-and-rarefaction relation becomes large, and it is impossible consequently, to correspond with the layout of the dummy cell used from the former in a memory cell field and a periphery more than before.

[0005] The purpose of this invention is to offer an effective semiconductor memory to the increase in area in the memory cell array using the memory cell which consists of six transistors.

10 [0006]

[Means for Solving the Problem] Two or more memory cells by which the above-mentioned purpose is arranged at each intersection of the bit line of m train, and the word line of n lines, In the semiconductor memory by which a dummy cell is arranged at at least one side the memory cell array which consists of two or more aforementioned memory cells, and around the aforementioned memory cell array field the aforementioned memory cell array is prepared on a semiconductor substrate -- having -- the well of the first conductivity type -- with the first field field arranged on a field It consists of gate wiring arranged on the second field field arranged on a field, and the aforementioned field field. the well of the second conductivity type -- the field field of the above first is connected with the first power supply potential, and the field field of the above second is connected with the second power supply potential -- having -- the aforementioned dummy cell -- the well of the first conductivity type -- with the first field field arranged on a field the well of the second conductivity type -- it is attained by the bird clapper from the gate wiring arranged on a field and the aforementioned field field

[0007] moreover, the well of the second conductivity type from which the above-mentioned purpose constitutes the aforementioned dummy cell -- it is attained

by arranging the third field field on a field

[0008] Moreover, two or more memory cells by which the above-mentioned purpose is arranged at each intersection of the bit line of m train, and the word line of n lines, In the semiconductor memory by which a dummy cell is arranged at at least one side the
5 memory cell array which consists of two or more aforementioned memory cells, and around the aforementioned memory cell array field the aforementioned memory cell array is prepared on a semiconductor substrate -- having -- the well of the first conductivity type -- with the first field field of the second conductivity type arranged on a field the well of the second conductivity type -- with the second field field of the
10 first conductivity type arranged on a field from the gate wiring arranged on the aforementioned field field -- becoming -- the aforementioned dummy cell -- the well of the first conductivity type -- with the first field field of the second conductivity type arranged on a field the well of the second conductivity type -- it is attained by the bird clapper from the gate wiring arranged on the third field field of the second conductivity
15 type arranged on a field, and the aforementioned field field

[0009] The first power supply potential is supplied to the first field field of the second conductivity type arranged on a field. moreover, the well of the first conductivity type from which the above-mentioned purpose constitutes the aforementioned memory cell -- The second power supply potential is supplied to the second field field of the first
20 conductivity type arranged on a field. the well of the second conductivity type of the above -- the well of the second conductivity type which constitutes the aforementioned dummy cell -- it is attained by supplying the second power supply potential to the third field field of the second conductivity type arranged on a field

[0010] moreover, the well of the second conductivity type of the above from which the
25 above-mentioned purpose constitutes the aforementioned dummy cell -- the first contact field which supplies the second power supply potential to the third field field of the second conductivity type arranged on a field is attained by being arranged at an

adjoining first field field side

[0011]

[Embodiments of the Invention] Hereafter, an example of the gestalt of suitable operation of this invention is concretely explained with reference to a drawing. the semiconductor memory of this example is shown in drawing 1 -- as -- the memory cell 1 of SRAM -- a bit line pair -- it arranges to each intersection of 2 and a word line 3 -- having -- **** -- the aforementioned bit line pair -- 32 2 is prepared, the 512 aforementioned word lines 3 are arranged, and the memory cell array 4 is constituted The aforementioned memory cell array 4 is arranged at right and left on both sides of the decoder group 6 which consists of decoders 5. Moreover, the chip periphery section 7 of a semiconductor memory adjoins another side of the aforementioned memory cell array 4. Moreover, the circumference circuit 8 is arranged at the 1 side of other two sides of the aforementioned memory cell array 4, and the chip periphery section 7 adjoins the one-side side which remains. The dummy cell per continuum is arranged here at the portion 10 from the chip periphery side 7 of the aforementioned memory cell array 4.

[0012] Drawing 2 is drawing having shown the layout of an about ten aforementioned dummy cell field memory cell and a dummy cell. the well of the P type whose memory cell 30 is the first conductivity type -- with the first NchTr field which consists of the first N type field field 14a which is the second conductivity type constituted on a field 11 the well of the N type which is the second conductivity type -- with the first PchTr field which consists of the second P type field field 13a which is the first conductivity type constituted on a field 12 It consists of other N type field fields which consist of gate wiring 17a and 17b and a word line 18, and serve as a pair of another side of the SRAM memory cell which consists of flip-flops, and other P side field fields. Moreover, in order to supply power supply potential to each field field, contact 19a which connects contact 19b which connects the grounding voltage GND and the field field of the

aforementioned N type which are the first power supply potential, and the supply voltage VDD and the field field of the aforementioned P type which are the second power supply potential is arranged. In addition, other contacts and aluminum wiring were omitted.

5 [0013] a dummy cell 31 -- the well of P type -- with the first dummy transistor field which consists of the first N type field field 14a constituted on a field 11 the well of N type -- with the second dummy transistor field which consists of the second P type field field 23a constituted on a field 22 It becomes the composition of having other field fields which consist of dummy gate wiring 27a and 27b and the aforementioned dummy
10 word line 28, and serve as a pair like the NchTr field of the aforementioned memory cell 30 which consists of flip-flops. Moreover, although the contact for supplying the grounding voltage GND to an N type field field was prepared in the aforementioned memory cell, contact is not arranged in the N type field field in a dummy cell. The memory cell which adjoins a dummy cell takes the composition which arranges a word
15 line in the aforementioned dummy cell direction, and a dummy cell is arranged to the word line of the aforementioned memory cell at an axial symmetry. in this case, the P type which constitutes a memory cell -- a well -- although a field and an N type field field are shared with a dummy cell and it is arranged, the N type field field of a memory cell and a dummy cell is electrically separated by connecting the aforementioned
20 dummy word line with the grounding voltage GND In addition, other contacts and aluminum wiring were omitted.

[0014] each well in this semiconductor memory -- the ion implantation using the photoresist for which formation of a field is generally used -- having good control of striking a ball in any direction -- it is carried out drawing 3 (a) -- N type -- a well --
25 the photoresist at the time of field formation, and N type -- a well -- it is the cross section of a semiconductor memory showing a field the substrate 36 top of a semiconductor memory -- N type -- a well -- in order to create a field, a photoresist

32 prepares -- having -- this state -- N type -- a well -- the arsenic system ion which forms a field is driven in consequently, N type -- a well -- fields 22 and 12 are formed the N type in the memory cell field 37 -- a well -- the width of face of a field -- this width of face -- ** -- it is arranged continuously The dummy cell 31 prepared
5 in the boundary section with the direction of the chip periphery section is a field where roughness and fineness become thin to the aforementioned memory cell which carries out continuation, in this field, a double lump of exposure will be difficult and the configuration of a photoresist will collapse. in order [consequently,] to narrow the placing field of ion -- the N type of a dummy cell field -- a well -- the width of face of
10 a field 22 will become narrow however, the N type in which this configuration collapsed as shown by this invention -- a well -- the N type of the memory cell which adjoins since a field 22 is formed in a dummy cell -- a well -- the influence the configuration of a field 12 is affected can be reduced consequently, the P type which change of the transistor capacity of PchTr of the memory cell which adjoins a dummy cell can be
15 reduced, and also adjoins -- a well -- it becomes possible to reduce the leakage current produced between fields

[0015] Moreover, the second example is described using drawing 3 (b). the N type which showed drawing 3 (b) by aforementioned drawing 2 -- a well -- it is the cross section of a semiconductor memory showing the photoresist at the time of formation of the
20 field field of P type prepared on the field, and the field field of P type the N type formed in aforementioned drawing 3 (a) -- a well -- in order to create the field field of P type on a field, a photoresist 33 is formed, and the boron system ion which forms the field fields 23 and 13 of P type in this state is driven in consequently, the P type in said dummy cell field -- a well -- the placing field of the ion to the field field 23 of the P
25 type of this dummy cell field will be narrowed like the fault of the exposure state produced at the time of field formation However, the influence the configuration of the field field 13 of the P type of an adjoining memory cell is affected can be reduced by

making this fault absorb in a dummy cell.

[0016] Next, the third example is described using drawing 4 . Drawing 4 is drawing having shown the layout of the memory cell in the dummy cell field 10 shown by drawing 1 , and a dummy cell. Since the composition of a memory cell is the same as what was shown by aforementioned drawing 2 , it omits explanation. the well of the P type whose dummy cell 31 is the first conductivity type -- with second N type field field 14a which is the second conductivity type constituted on a field 11 the well of the N type which is the second conductivity type -- with the field field 16 of the third N type which is the second conductivity type constituted on a field 22 It consists of dummy gate wiring 27a and 27b and the aforementioned dummy word line wiring 28, and becomes the composition of having the second N type field field as well as the NchTr field of the aforementioned memory cell 30 which consists of flip-flops. Moreover, although contact is not arranged by the first N type field field in a dummy cell, the supply voltage VDD which is the second power supply potential is supplied to the N type field field 16 of the above third through contact 19d. In addition, other contacts and aluminum wiring were omitted.

[0017] the N type by which the dummy cell shown in the third example adjoins in the direction of the chip periphery section -- a well -- the third N type field field is established in a field, and supply voltage VDD is made to supply Consequently, it becomes possible to make it dissociate from a periphery enough electrically of a memory cell array. Moreover, the N type field field of the above third can predict that a configuration collapses partially. then, contact field 19a of the P type field field and supply voltage VDD which have arranged 19d of contact fields which connect the aforementioned supply voltage VDD with the N type field field of the above third in this invention by the aforementioned memory cell -- differing -- the P type in a dummy cell -- a well -- contact 19d is prepared in the position near a field Consequently, even if the configuration by the side of the chip periphery section of the N type field field of

the above third collapses by roughness and fineness, enclosing of the field and contact is securable by arranging the aforementioned contact 19d in the center of the N type field of the above third of a convex configuration. consequently, the N type of the aforementioned dummy cell field -- a well -- the field field of a field is made into a P type field field, to the case where the third N type field field is prepared between the aforementioned P type field field and the aforementioned chip periphery section, a memory cell array and a periphery are separated electrically enough, and low area-ization is attained

[0018]

10 [Effect of the Invention] The effect of the semiconductor memory of this invention is shown below. one example of this invention -- the periphery section of a memory cell array -- a dummy cell -- preparing -- the inside of the aforementioned dummy cell -- the well of a dummy -- the field was prepared the well in a memory cell -- if the configuration of a field becomes narrow, ***** the field will be formed normally -- a well -- it can predict that the well of the reverse potential which adjoins compared with the memory cell which adjoins from the difference in a configuration, and which was made normally, and the leakage current between the fields increase using the composition of this invention -- the well in this regular memory cell -- the influence the configuration of a field is affected can be reduced

20 [0019] moreover -- the second example of this invention -- the inside of the aforementioned dummy cell -- a dummy -- a well -- a field -- preparing -- further -- this dummy -- a well -- the field field of a dummy was prepared in the field If the configuration of the field field in a memory cell becomes narrow, a transistor size will make the property of a semiconductor memory deteriorate greatly on a target as a result of narrowing. By using the composition of this invention, the influence the configuration of the field field in a regular memory cell is affected similarly can be reduced. Moreover, in the dummy cell formed only with the gate wiring shown in the

conventional example, it is clear to the abnormalities in a configuration of the well and field field which are shown by this example that it cannot respond.

[0020] In the second example of the above, the placing ion which the dummy field configuration in a dummy cell is made similar with the field configuration of a regular memory cell, and determines the conductivity type of the field of this dummy cell presupposed that it is the same as a regular memory cell. the third example -- this dummy -- a well -- the conductivity type of the dummy field near the memory cell array periphery section in a field -- a well -- it considers as a field and this potential -- making -- the above -- power supply potential predetermined [the field of the same conductivity type as a well to] -- the above -- the composition supplied to a well was used Consequently, it becomes possible to make a memory cell array and its periphery fully separate electrically. although this example did not show, as for a semiconductor memory, a pad and an I/O circuit are mainly arranged near the chip periphery -- many -- consequently, the well near the chip periphery section -- potential can predict being influenced [many] of a noise Also in this case, the influence by the noise to a memory cell array can be reduced by using the example of this invention, and the malfunction of a semiconductor memory can be made to prevent. moreover, the case where the configuration of said field field collapses -- also setting -- field potential and a well -- since potential is this potential, it does not have a problem

[0021] Moreover, the contact on the field field of the dummy cell shown in the third example of the above has been arranged in the position near an adjoining memory cell. When the aforementioned field configuration collapses, it is predicted by the contact field that a resistance component is contained, consequently it may become impossible to make a memory cell array and a periphery separate electrically enough. For this reason, the increase in the resistance component of a contact field can be pressed down by arranging the contact on the field field of the aforementioned dummy cell to the regular memory cell array side which is a reverse [not the memory cell array

periphery twist in which a configuration tends to collapse but] side.

5 DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The schematic diagram of this invention.

[Drawing 2] The layout pattern of this invention.

10 [Drawing 3] The cross section of this invention.

[Drawing 4] The layout pattern showing other examples of this invention.

[Drawing 5] The conventional layout pattern.

[Description of Notations]

Memory cell : 1 30

15 Dummy cell: 31

Bit-line pair: 2

Word line : 3 18

Decoder: 5

Memory-cell array: 4

20 Decoder group: 6

Chip periphery section: 7

Circumference circuit: 8

P type -- a well -- field: -- 11

N type -- a well -- field: -- 12 and 22

25 P-type field field: 13, 13a, 13b, 23, 23a

N-type field field: 14a, 14b, 14c, 15, 16

Gate wiring: 17a, 17b

Contact: 19, 19a, 19b, 19c, 19d

Dummy gate wiring: 27, 27a, 27b

Dummy word line: 28

Dummy-cell field: 10

5 Photoresist : 32 33

Substrate: 36

Memory-cell field: 37

Dummy-cell field: 10

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 21/8244		H01L 27/10	381 5F083
27/11			471
27/10	471		

審査請求 未請求 請求項の数 5 O L (全6頁)

(21) 出願番号 特願平11-2918

(22) 出願日 平成11年1月8日(1999.1.8)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 植松 悟

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 小平 覚

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

Fターム(参考) 5F083 BS00 GA09 LA16 MA01 NA01

NA02 PR43 PR46 PR53 PR56

ZA01 ZA28

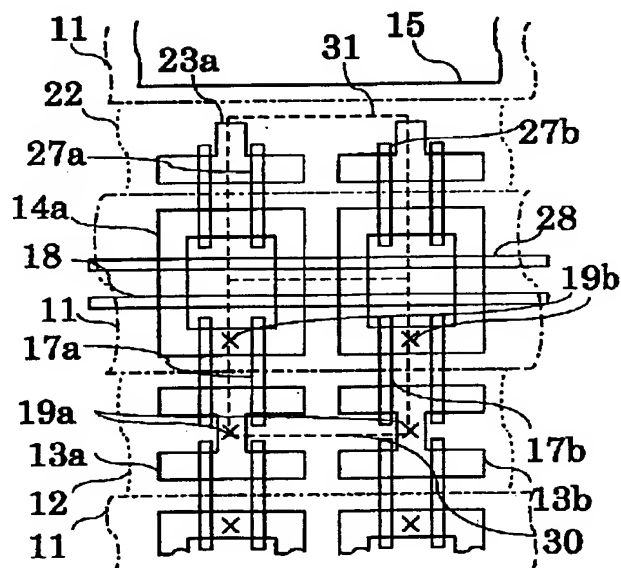
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 P型ウエル領域とN型ウエル領域を有するメモリセルアレイの周辺部における形状の崩れに対する対策及びメモリセルアレイとその周辺部とを十分に電氣的に分離するところが可能なダミーセルレイアウトに関する。

【解決手段】 ダミーセル内にダミーウエル領域とダミーフィールド領域を設ける。また、ダミーフィールド領域の導電型を下層のウエル領域のものと同一とすることで、ダミーフィールド領域からその下層のウエル領域へ電位を供給させる。

【効果】 メモリセル周辺部におけるプロセス上の加工不良をダミーセル領域で吸収させる。また、メモリセルアレイの面積を増加させることなく、メモリセルアレイとその周辺部を電氣的に十分分離させることができる。



【特許請求の範囲】

【請求項1】 m列のビット線とn行のワード線との各交差部に配置される複数のメモリセルと、前記複数のメモリセルから構成されるメモリセルアレイと、前記メモリセルアレイ領域の周囲の少なくとも一辺にダミーセルが配置される半導体記憶装置において、前記メモリセルアレイは半導体基板上に設けられ、第一導電型のウエル領域上に配置される第一のフィールド領域と、第二導電型のウエル領域上に配置される第二のフィールド領域と、前記フィールド領域上に配置されるゲート配線からなり、前記第一のフィールド領域は第一の電源電位と接続され、前記第二のフィールド領域は第二の電源電位と接続され、前記ダミーセルは第一導電型のウエル領域上に配置される第一のフィールド領域と、第二導電型のウエル領域と、前記フィールド領域上に配置されるゲート配線からなることを特長とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、前記ダミーセルを構成する第二導電型のウエル領域上に第三のフィールド領域を配置することを特長とする半導体記憶装置。

【請求項3】 m列のビット線とn行のワード線との各交差部に配置される複数のメモリセルと、前記複数のメモリセルから構成されるメモリセルアレイと、前記メモリセルアレイ領域の周囲の少なくとも一辺にダミーセルが配置される半導体記憶装置において、前記メモリセルアレイは半導体基板上に設けられ、第一導電型のウエル領域上に配置される第二導電型の第一のフィールド領域と、第二導電型のウエル領域上に配置される第一導電型の第二のフィールド領域と、前記フィールド領域上に配置されるゲート配線からなり、前記ダミーセルは第一導電型のウエル領域上に配置される第二導電型の第一のフィールド領域と、第二導電型のウエル領域上に配置される第二導電型の第三のフィールド領域と、前記フィールド領域上に配置されるゲート配線からなることを特長とする半導体記憶装置。

【請求項4】 請求項3記載の半導体記憶装置において、前記メモリセルを構成する第一導電型のウエル領域上に配置される第二導電型の第一のフィールド領域に第一の電源電位が供給され、前記第二導電型のウエル領域上に配置される第一導電型の第二のフィールド領域に第二の電源電位が供給され、前記ダミーセルを構成する第二導電型のウエル領域上に配置される第二導電型の第三のフィールド領域には第二の電源電位が供給されることを特長とする半導体記憶装置。

【請求項5】 請求項4記載の半導体記憶装置において、前記ダミーセルを構成する前記第二導電型のウエル領域上に配置される第二導電型の第三のフィールド領域に第二の電源電位を供給する第一のコンタクトは、隣接する第一のフィールド領域側に配置されることを特長とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はPチャネルトランジスタとNチャネルトランジスタからなるスタティック・ランダム・アクセス・メモリで構成されるメモリセルアレイの外周部に配置されるダミーセルを有する半導体記憶装置に関する。

【0002】

【従来の技術】 スタティック・ランダム・アクセス・メモリ（以下、SRAM）は、そのメモリセル構成をNチャネルトランジスタ（以下NchTr）と高抵抗素子からなり、この結果、ウエル領域をメモリセル内で分割する必要が無い場合、高集積化を可能としてきた。また複数の前記メモリセルで構成されるメモリセルアレイはその外周部においてゲート配線をパターニングする際の露光状態が悪く、ゲート長のコントロールが難しいため、この外周部にダミーセルを配置することが行われる。図5は特開平4-147672に記載される一般的なメモリセルとダミーセルのレイアウト図である。メモリセル30及びダミーセル31は第一導電型であるP型のウエル領域11上に配置される。前記メモリセル30は第二導電型であるN型のフィールド領域14a、14b、14cと、ゲート配線17a、17bと前記ゲート配線と同じ配線材料を用いたワード線18で構成される。なお、高抵抗素子及びアルミ配線は省略した。また第一の電源電位である接地電圧GNDと前記フィールド領域とを接続するコンタクトを19とし、他のコンタクトは省略した。ダミーセル領域には、前記メモリセル領域で形成されるゲート配線及びワード線に対して、ダミーゲート配線27及びダミーワード線28が線対称に配置される。この結果、ゲート配線をパターニングする際の露光状態の不具合によりゲート配線の変形が生じて、ダミー領域内にダミーゲート配線及びダミーワード線を配置しているため、周辺部に隣接するメモリセルのゲート配線の変形を最小限にとどめることができる。

【0003】 しかし、近年のSRAMはより低い電源電位下で動作させることが望まれており、NchTrと高抵抗素子からなるメモリセルでは市場のニーズに対応できなくなってきた。この結果、メモリセルを構成する素子として前記NchTrとPチャネルトランジスタ（以下PchTr）からなる6トランジスタのSRAMメモリセルを用いることで、低電圧においても安定動作するメモリセルが用いられるようになった。

【0004】

【発明が解決しようとする課題】 6トランジスタを用いたSRAMメモリセルは素子数が増加するため、チップ面積が増加してしまう。これは単に素子数が増加するための面積増加だけではなく、メモリセル領域内にPchTrとNchTrが構成されるため、P型ウエル領域とN型ウエル領域の間にスペースを設けることも面積増加

の大きな要因となる。一般的に面積を低下させる方法として、プロセス的改良や精度の高い露光技術の導入によりデザインルールの縮小が行われる。しかし、歩留まりや製品の特性安定を考慮した場合、メモリセル領域以外の領域においては、よりマージナルなデザインルールを用いることが行われる。この結果、従来以上にメモリセル領域と周辺部において、疎密関係が大きくなり、従来から用いられるダミーセルのレイアウトでは対応できなくなってきた。

【0005】本発明の目的は、6トランジスタで構成されるメモリセルを用いたメモリセルアレイにおける面積増加に対して有効な半導体記憶装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的は、m列のビット線とn行のワード線との各交差部に配置される複数のメモリセルと、前記複数のメモリセルから構成されるメモリセルアレイと、前記メモリセルアレイ領域の周囲の少なくとも一辺にダミーセルが配置される半導体記憶装置において、前記メモリセルアレイは半導体基板上に設けられ、第一導電型のウエル領域上に配置される第一のフィールド領域と、第二導電型のウエル領域上に配置される第二のフィールド領域と、前記フィールド領域上に配置されるゲート配線からなり、前記第一のフィールド領域は第一の電源電位と接続され、前記第二のフィールド領域は第二の電源電位と接続され、前記ダミーセルは第一導電型のウエル領域上に配置される第一のフィールド領域と、第二導電型のウエル領域と、前記フィールド領域上に配置されるゲート配線からなることにより達成される。

【0007】また上記目的は、前記ダミーセルを構成する第二導電型のウエル領域上に第三のフィールド領域を配置することにより達成される。

【0008】また上記目的は、m列のビット線とn行のワード線との各交差部に配置される複数のメモリセルと、前記複数のメモリセルから構成されるメモリセルアレイと、前記メモリセルアレイ領域の周囲の少なくとも一辺にダミーセルが配置される半導体記憶装置において、前記メモリセルアレイは半導体基板上に設けられ、第一導電型のウエル領域上に配置される第二導電型の第一のフィールド領域と、第二導電型のウエル領域上に配置される第一導電型の第二のフィールド領域と、前記フィールド領域上に配置されるゲート配線からなり、前記ダミーセルは第一導電型のウエル領域上に配置される第二導電型の第一のフィールド領域と、第二導電型のウエル領域上に配置される第二導電型の第三のフィールド領域と、前記フィールド領域上に配置されるゲート配線からなることにより達成される。

【0009】また上記目的は、前記メモリセルを構成する第一導電型のウエル領域上に配置される第二導電型の

第一のフィールド領域に第一の電源電位が供給され、前記第二導電型のウエル領域上に配置される第一導電型の第二のフィールド領域に第二の電源電位が供給され、前記ダミーセルを構成する第二導電型のウエル領域上に配置される第二導電型の第三のフィールド領域には第二の電源電位が供給されることにより達成される。

【0010】また上記目的は、前記ダミーセルを構成する前記第二導電型のウエル領域上に配置される第二導電型の第三のフィールド領域に第二の電源電位を供給する第一のコンタクト領域は、隣接する第一のフィールド領域側に配置されることにより達成される。

【0011】

【発明の実施の形態】以下、本発明の好適な実施の形態の一例について図面を参照して具体的に説明する。本例の半導体記憶装置は図1に示すように、SRAMのメモリセル1がビット線対2とワード線3の各交差部に配置されており、前記ビット線対2が32本設けられ、前記ワード線3が512本配置され、メモリセルアレイ4が構成される。前記メモリセルアレイ4はデコーダ5で構成されるデコーダ群6をはさみ左右に配置される。また前記メモリセルアレイ4の他方には半導体記憶装置のチップ外周部7が隣接する。また、前記メモリセルアレイ4の他の二辺のうちの二辺側には周辺回路8が配置され、残る一辺側にはチップ外周部7が隣接する。ここで前記メモリセルアレイ4のチップ外周部7よりの部分10にはダミーセル連続的に配置される。

【0012】図2は前記ダミーセル領域10近傍のメモリセルとダミーセルのレイアウトを示した図である。メモリセル30は第一導電型であるP型のウエル領域11上に構成される第二導電型である第一のN型フィールド領域14aからなる第一のNchTr領域と、第二導電型であるN型のウエル領域12上に構成される第一導電型である第二のP型フィールド領域13aからなる第一のPchTr領域と、ゲート配線17a、17bと、ワード線18からなり、フリップフロップで構成されるSRAMメモリセルの他方の対となる他のN型フィールド領域と、他のP側フィールド領域から構成される。また各フィールド領域に電源電位を供給するために、第一の電源電位である接地電圧GNDと前記N型のフィールド領域とを接続するコンタクト19bと、第二の電源電位である電源電圧VDDと前記P型のフィールド領域とを接続するコンタクト19aが配置される。なお、他のコンタクト及びアルミ配線は省略した。

【0013】ダミーセル31はP型のウエル領域11上に構成される第一のN型フィールド領域14aからなる第一のダミートランジスタ領域と、N型のウエル領域22上に構成される第二のP型フィールド領域23aからなる第二のダミートランジスタ領域と、ダミーゲート配線27a、27bと、前記ダミーワード線28からなり、フリップフロップで構成される前記メモリセル30

のNc h T r領域と同様に対となる他のフィールド領域を有する構成となる。また前記メモリセルではN型フィールド領域に接地電圧GNDを供給するためのコンタクトを設けたが、ダミーセルにおけるN型フィールド領域にはコンタクトは配置されない。ダミーセルに隣接するメモリセルは、前記ダミーセル方向にワード線を配置する構成を取り、ダミーセルは前記メモリセルのワード線に対して線対称に配置される。この場合、メモリセルを構成するP型ウエル領域とN型フィールド領域はダミーセルと共有して配置されるが、前記ダミーワード線を接地電圧GNDと接続することによりメモリセルとダミーセルのN型フィールド領域を電氣的に分離している。なお、他のコンタクト及びアルミ配線は省略した。

【0014】本半導体記憶装置におけるそれぞれのウエル領域の形成は一般的に用いられるフォトレジストを用いたイオン注入の打ち分けにより行われる。図3(a)はN型ウエル領域形成時のフォトレジスト及びN型ウエル領域を示す半導体記憶装置の断面図である。半導体記憶装置の基板36上にN型ウエル領域を作成するためにフォトレジスト32が設けられ、この状態でN型ウエル領域を形成するひ素系イオンの打ち込みを行う。この結果、N型ウエル領域22、12が形成される。メモリセル領域37におけるN型ウエル領域の幅は同幅で、連続的に配置される。チップ外周部方向との境界部に設けられたダミーセル31は前記連続するメモリセルに対して疎密が薄くなる領域であり、この領域では露光の合わせ込みが難しく、フォトレジストの形状が崩れてしまう。この結果、イオンの打ち込み領域を狭めてしまうため、ダミーセル領域のN型ウエル領域22の幅が狭くなってしまう。しかし、本発明で示されるように、この形状の崩れたN型ウエル領域22はダミーセル内に設けられたものであるため、隣接するメモリセルのN型ウエル領域12の形状に及ぼされる影響を低減することができる。この結果、ダミーセルに隣接するメモリセルのPc h T rのトランジスタ能力の変動を低減させることができるほか、隣接するP型ウエル領域との間に生じるリーク電流を低減させることが可能となる。

【0015】また第二の実施例について図3(b)を用いて述べる。図3(b)は前記図2で示したN型ウエル領域上に設けられたP型のフィールド領域の形成時のフォトレジスト及びP型のフィールド領域を示す半導体記憶装置の断面図である。前記図3(a)において形成されたN型ウエル領域上にP型のフィールド領域を作成するためにフォトレジスト33が設けられ、この状態でP型のフィールド領域23、13を形成するホウ素系イオンの打ち込みを行う。この結果、前記したダミーセル領域におけるP型ウエル領域形成時に生じた露光状態の不具合と同様にこのダミーセル領域のP型のフィールド領域23へのイオンの打ち込み領域が狭められてしまう。しかし、ダミーセル内においてこの不具合を吸収させる

ことで、隣接するメモリセルのP型のフィールド領域13の形状に及ぼされる影響を低減することができる。

【0016】次に第三の実施例について図4を用いて述べる。図4は図1で示したダミーセル領域10におけるメモリセルとダミーセルのレイアウトを示した図である。メモリセルの構成は前記図2で示したものと同じであるため、説明を割愛する。ダミーセル31は第一導電型であるP型のウエル領域11上に構成される第二導電型である第二のN型フィールド領域14aと、第二導電型であるN型のウエル領域22上に構成される第二導電型である第三のN型のフィールド領域16と、ダミーゲート配線27a、27bと、前記ダミーワード線配線28からなり、フリップフロップで構成される前記メモリセル30のNc h T r領域と同様に第二のN型フィールド領域を有する構成となる。またダミーセルにおける第一のN型フィールド領域にはコンタクトは配置されないが、前記第三のN型フィールド領域16には、コンタクト19dを介して第二の電源電位である電源電圧VDDが供給される。なお、他のコンタクト及びアルミ配線は省略した。

【0017】第三の実施例に示すダミーセルは、チップ外周部方向に隣接するN型ウエル領域に第三のN型フィールド領域を設け、電源電圧VDDを供給させている。この結果、メモリセルアレイが周辺部から電氣的に十分分離させることが可能となる。また、前記第三のN型フィールド領域は部分的に形状が崩れることが予測できる。そこで本発明では前記電源電圧VDDを前記第三のN型フィールド領域と接続するコンタクト領域19dを前記メモリセルで配置したP型フィールド領域と電源電圧VDDとのコンタクト領域19aとは異なり、ダミーセル内のP型ウエル領域に近い位置にコンタクト19dを設ける。この結果、疎密により前記第三のN型フィールド領域のチップ外周部側の形状が崩れても、凸形状の前記第三のN型フィールドの中央に前記コンタクト19dを配置することで、フィールドとコンタクトのエンクローズを確保することができる。この結果、前記ダミーセル領域のN型ウエル領域のフィールド領域をP型フィールド領域とし、前記P型フィールド領域と前記チップ外周部との間に第三のN型フィールド領域を設けた場合に対して、メモリセルアレイと周辺部とを十分に電氣的に分離し、かつ低面積化が可能となる。

【0018】

【発明の効果】以下に本発明の半導体記憶装置の効果を示す。本発明の一実施例ではメモリセルアレイの外周部にダミーセルを設け、前記ダミーセル内にダミーのウエル領域を設けた。メモリセル内のウエル領域の形状が狭くなれば仮にフィールドが正常に形成されたとしても、ウエル形状の違いから隣接する正常に作られたメモリセルと比べて隣接する逆電位のウエル及びフィールドとの間のリーク電流が増大してしまうことが予測できる。本

発明の構成を用いることで、この正規のメモリセル内のウエル領域の形状に及ぼされる影響を低減することができる。

【0019】また、本発明の第二の実施例では、前記ダミーセル内にダミーウエル領域を設け、さらにこのダミーウエル領域内にダミーのフィールド領域を設けた。メモリセル内のフィールド領域の形状が狭くなれば、トランジスタ寸法が狭まり、結果的に半導体記憶装置の特性を大きく劣化させることになる。本発明の構成を用いることで、同様に正規のメモリセル内のフィールド領域の形状に及ぼされる影響を低減することができる。また、従来例で示したゲート配線だけで形成されたダミーセルでは、本実施例で示すウエル及びフィールド領域の形状異常には対応できないことは明らかである。

【0020】前記第二の実施例では、ダミーセル内のダミーフィールド形状は正規のメモリセルのフィールド形状と類似させており、このダミーセルのフィールドの導電型を決定する打ち込みイオンは正規のメモリセルと同じとした。第三の実施例では、このダミーウエル領域内の最もメモリセルアレイ外周部に近いダミーフィールドの導電型をウエル領域と同電位とさせ、前記ウエルと同じ導電型のフィールドから所定の電源電位を前記ウエルに供給する構成を用いた。この結果、メモリセルアレイとその周辺部とを電氣的に十分に分離させることが可能となる。本実施例では示さなかったが、半導体記憶装置は主にチップ外周近傍にパッド及び入出力回路が配置されることが多く、この結果、チップ外周部近傍のウエル電位はノイズの影響を多く受けることが予測できる。このような場合においても、本発明の実施例を用いることでメモリセルアレイへのノイズによる影響を低減させ、半導体記憶装置の誤動作を防止させることができる。また、前記したフィールド領域の形状が崩れた場合においても、フィールド電位とウエル電位が同電位であるため、問題無い。

【0021】また、前記第三の実施例で示したダミーセルのフィールド領域上のコンタクトは、隣接するメモリセルに近い位置に配置した。前記フィールド形状が崩れた場合、コンタクト領域に抵抗成分が含まれることが予

測され、この結果、メモリセルアレイと周辺部を十分に電氣的に分離させることができなくなる可能性がある。このため、前記ダミーセルのフィールド領域上のコンタクトを形状が崩れ易いメモリセルアレイ外周よりではなく、逆側である正規メモリセルアレイ側に配置させることで、コンタクト領域の抵抗成分の増加を押さえることができる。

【図面の簡単な説明】

【図1】本発明の概略図。

【図2】本発明のレイアウト図。

【図3】本発明の断面図。

【図4】本発明の他の実施例を示すレイアウト図。

【図5】従来のレイアウト図。

【符号の説明】

メモリセル：1, 30

ダミーセル：31

ビット線対：2

ワード線：3, 18

デコーダ：5

20 メモリセルアレイ：4

デコーダ群：6

チップ外周部：7

周辺回路：8

P型ウエル領域：11

N型ウエル領域：12, 22

P型フィールド領域：13, 13a, 13b, 23, 23a

N型フィールド領域：14a, 14b, 14c, 15, 16

30 ゲート配線：17a, 17b

コンタクト：19, 19a, 19b, 19c, 19d

ダミーゲート配線：27, 27a, 27b

ダミーワード線：28

ダミーセル領域：10

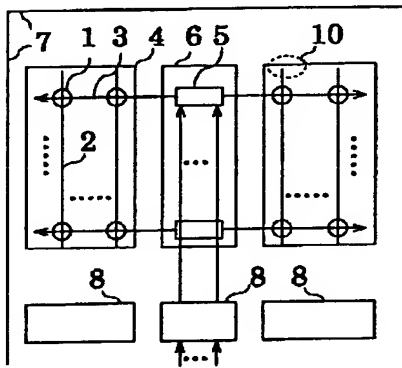
フォトレジスト：32, 33

基板：36

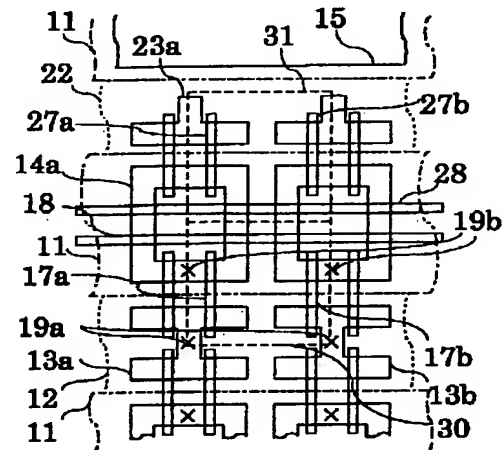
メモリセル領域：37

ダミーセル領域：10

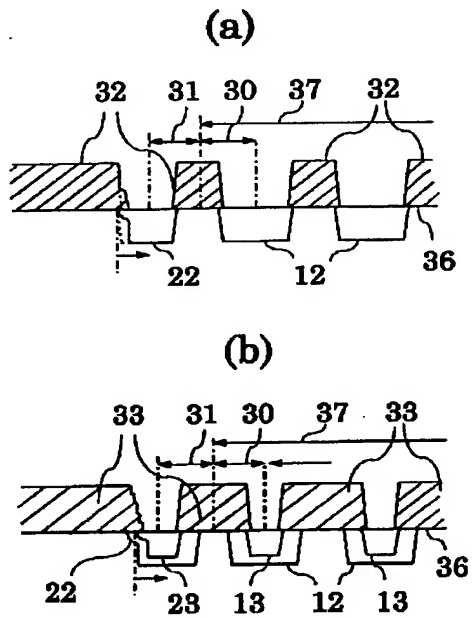
【図1】



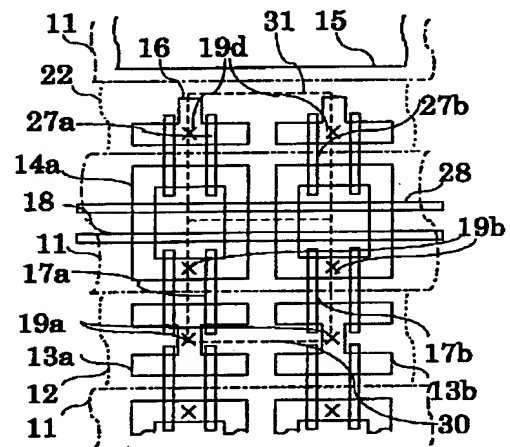
【図2】



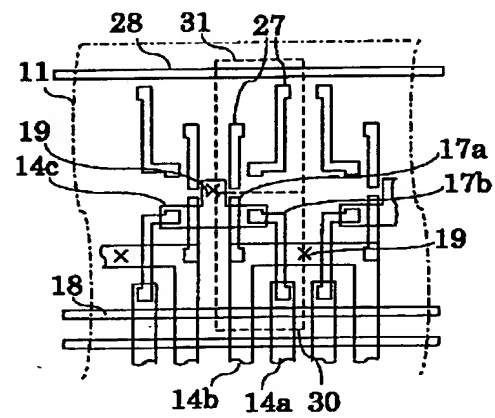
【図3】



【図4】



【図5】



100

100